Модуль демультиплексирования векторного анализатора сигналов

Эзерс Евгений, Юрий Мигров, С20-501

# Спецификация

Внутренний модуль демультиплексирования предназначен для преобразования входного потока данных с АЦП в вид, удобный для преобразования модулем гетеродинирования, так как синфазная и квадратурная составляющие передаются по одному каналу с удвоенной частотой дискретизации.

Условное графическое представление внутреннего модуля демультиплексирования данных после АЦП представлено на рисунке 4.30.

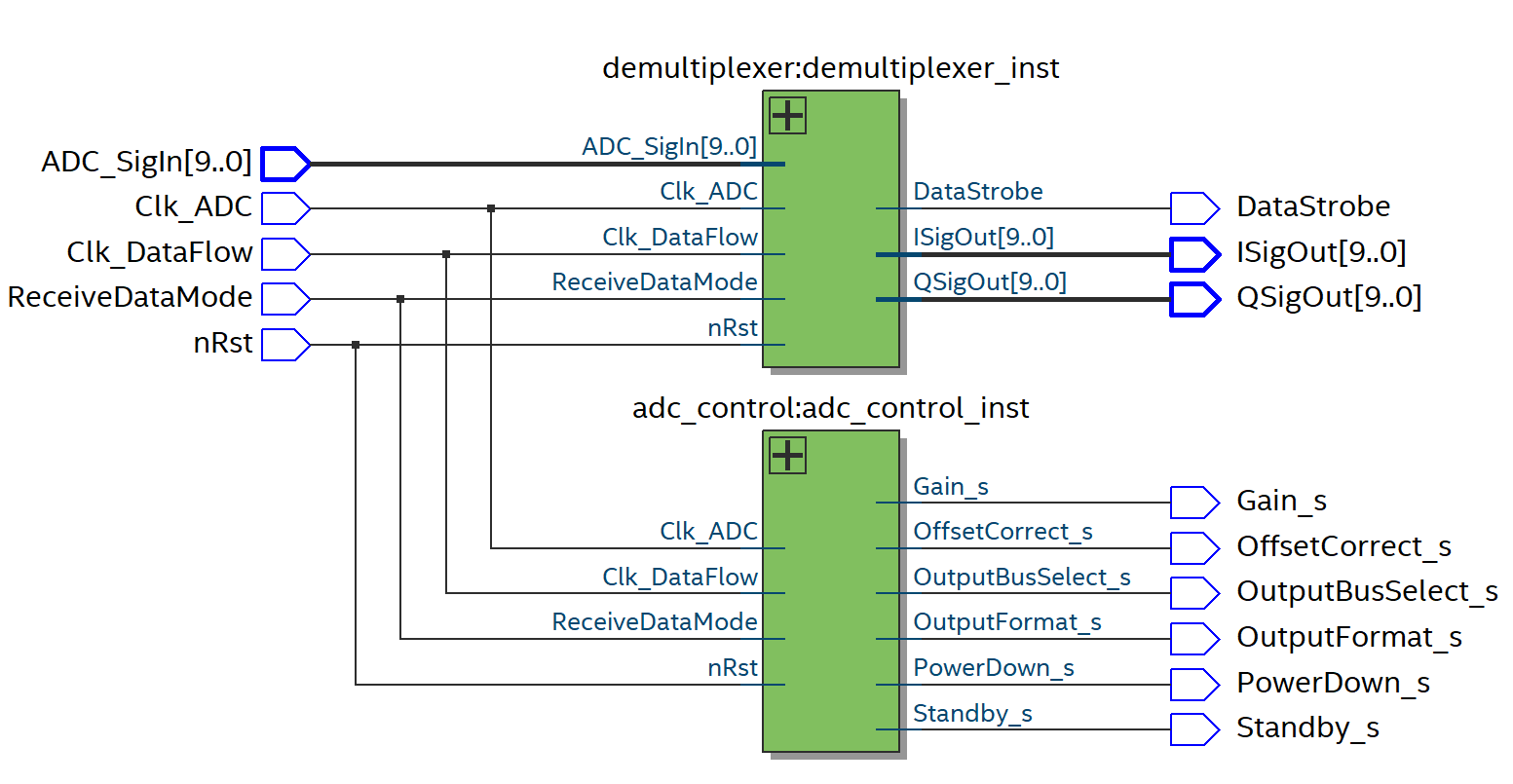


Рисунок 4.30 — УГО внутреннего модуля демультиплексирования данных после АЦП

В соответствии с договорённостью с соседними модулями, был также разработан модуль управления АЦП, выполняющий конфигурацию режима работы АЦП.

# Сигналы интерфейса и их описание

Описание сигналов представлено в таблице 4.15.

Таблица 4.15 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk\_ADC | in | Тактовый сигнал АЦП |
| 2 | Clk\_DataFlow | in | Тактовый сигнал приема данных |
| 3 | nRst | in | Сигнал сброса |
| 4 | ReceiveDataMode | in | Сигнал режима приема и обработки данных:   * ‘0’ – данные приходят по одному каналу; * ‘1’ – данные приходят по двум каналам. |
| Сигнал **аналого-цифрового преобразователя** | | | |
| 5 | ADC\_SigIn (9:0) | in | Данные, поступающие с АЦП. |
| F13 | Gain\_s | out | Этот вывод задает внутреннее усиление сигнала на входах АЦП.  При низком значении этого вывода коэффициент усиления полномасштабного дифференциального входного сигнала от пика к пику равен VREF.  При высоком значении этого вывода полномасштабный дифференциальный входной сигнал от фронта к фронту равен 2 x VREF. |
| F15 | OutputBusSelect\_s | out | -- '1' параллельный '0' мультиплексированный на I |
| F16 | Standby\_s | out | Сигнал режима ожидания. Устройство работает нормально при низком уровне логики на этом и выводе PD (Power Down).  -- При этом выводе на логическом максимуме и выводе PD на логическом минимуме устройство находится в режиме ожидания, где оно потребляет всего 30 МВт мощности.  -- Для выхода из этого режима требуется всего 800 нс после того, как вывод STBY подтянут к земле. |
| D16 | PowerDown\_s | out | -- Вывод отключения питания, который при высоком значении переводит преобразователь в режим отключения питания, при котором он потребляет всего 1 МВт мощности.  -- Восстановление из этого режима после разряжения PIN-кода PD занимает менее 1 мс.  -- Если оба вывода STBY и PD одновременно являются высокими, вывод PD доминирует. |
| P1 | OffsetCorrect\_s | out | -- ADC\_OC = сброс '0', '1' в нормальном режиме для калибровки на 0 В в течение 34 тактовых сигналов. Но без использования - 0.  -- Переход от низкого к высокому на этом выводе инициирует независимую последовательность коррекции смещения для каждого преобразователя, которая  -- для завершения требуется 34 такта.  -- За это время берется и усредняется 32 конверсии. Результат вычитается из последующих преобразований.  -- Каждая входная пара должна иметь дифференциальное значение 0 В в течение всего этого 34-тактового периода. |
| L2 | OutputFormat\_s | out | -- Когда этот вывод равен 0, формат вывода является смещенным двоичным.  -- Когда этот вывод равен 1, формат вывода является дополнением 2. |
| Сигналы **модуля гетеродинирования** | | | |
| 6 | ISigOut (9:0) | out | Синфазная составляющая сигнала |
| 7 | QSigOut (9:0) | out | Квадратурная составляющая сигнала |
| 8 | DataStrobe | out | Сигнал, активный уровень которого показывает валидность передаваемых в модуль гетеродинирования данных |

## Пояснения к сигналам

### Входные сигналы

Сигналы Clk\_ADC и Clk\_Dataflow должны соответствовать диаграмме, приведённой в документации к модулю синтеза частоты дискретизации.

ACC

ADC\_FTW

ACC

fADC

Time

Time

Time

fDataFlow

FGen

fADC

fDataFlow

Рисунок 4.29 — Структурная схема модуля синтеза частоты дискретизации

### Выходные сигналы

При установке ReceiveDataMode в ‘0’, данные будут передаваться лишь по I каналу, при этом сигнал Q канала принимается равным 0.

При установке DataStrobe в ‘0’, данные считаются недействительными и не должны быть использованы модулем гетеродинирования, а текущие данные не должны передаваться дальше по цепочке.

При установке DataStrobe в ‘1’ данные должны быть обработаны следующим модулем. В течение времени установки ‘1’ данные считаются корректными, а значит также должны сообщаться следующим модулям.

# Отчёт о верификации

A screenshot of a computer

Description automatically generated

A screenshot of a computer

Description automatically generated with medium confidence

